

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

INVENTOR(S): Kiyotaka KOBAYASHI

APPLICANT: Seiko Epson Corporation

U.S.S.N.: Not Yet Assigned

ART UNIT: Not Yet Assigned

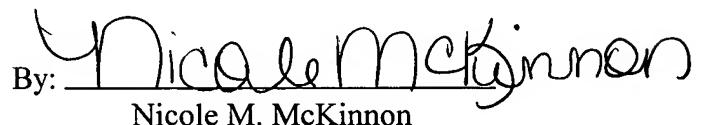
FILED: HEREWITH

EXAMINER: Not Yet Assigned

FOR: SEMICONDUCTOR DEVICE AND THIN FILM FORMING METHOD

CERTIFICATE OF EXPRESS MAILING (Label No.: EV 342614419 US)

I hereby certify that this correspondence is being deposited with the United States Postal Service "Express Mail Post Office to Addressee" service under 37 C.F.R. section 1.10, on August 19, 2003 and is addressed to Mail Stop PATENT APPLICATION, Commissioner for Patents, P.O. Box 1450, Arlington, VA 22313-1450.

By: 
Nicole M. McKinnon

Mail Stop PATENT APPLICATION
Commissioner for Patents
P.O. Box 1450
Arlington, VA 22313-1450

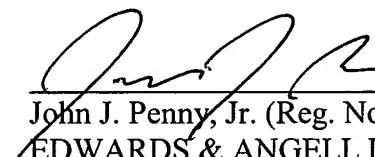
TRANSMITTAL OF A CERTIFIED OF PRIORITY DOCUMENT

Sir:

Attached please find a certified copy of the foreign application from which priority is claimed for this case:

Country: JAPAN
Application Number: 2002-238496
Filing Date: 19 August 2002

Respectfully submitted,


John J. Penny, Jr. (Reg. No. 36,984)
EDWARDS & ANGELL LLP
P.O. Box 9169
Boston, MA 02209
Tel: (617) 439-4444

Date: August 19, 2003
Customer No.: 21874

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application: 2002年 8月19日

出願番号

Application Number: 特願2002-238496

[ST.10/C]:

[JP2002-238496]

出願人

Applicant(s): セイコーエプソン株式会社

2003年 5月20日

特許庁長官
Commissioner,
Japan Patent Office

太田 信一郎



出証番号 出証特2003-3037582

【書類名】 特許願
【整理番号】 J0092961
【あて先】 特許庁長官殿
【国際特許分類】 H01L 21/768
【発明者】
【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
【氏名】 小林 清高
【特許出願人】
【識別番号】 000002369
【氏名又は名称】 セイコーエプソン株式会社
【代理人】
【識別番号】 100095728
【弁理士】
【氏名又は名称】 上柳 雅誉
【連絡先】 0266-52-3139
【選任した代理人】
【識別番号】 100107076
【弁理士】
【氏名又は名称】 藤綱 英吉
【選任した代理人】
【識別番号】 100107261
【弁理士】
【氏名又は名称】 須澤 修
【手数料の表示】
【予納台帳番号】 013044
【納付金額】 21,000円
【提出物件の目録】
【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0109826

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置および薄膜形成方法

【特許請求の範囲】

【請求項1】 配線層上に形成されたフッ素隔離膜と、
前記フッ素隔離膜を介して形成されたフッ化珪酸ガラス膜とを備えることを特
徴とする半導体装置。

【請求項2】 配線層の絶縁を行うフッ化珪酸ガラス膜と、
前記フッ化珪酸ガラス膜を上下から挟み込むように形成されたフッ素隔離膜と
を備えることを特徴とする半導体装置。

【請求項3】 前記フッ素隔離膜は、ノンドープシリコン酸化膜であること
を特徴とする請求項1または2記載の半導体装置。

【請求項4】 前記配線層は、TiN/A1-Cu/Ti/TiN構造であることを特徴とする請求項1～3のいずれか1項記載の半導体装置。

【請求項5】 配線層上にノンドープシリコン酸化膜を形成する工程と、
前記ノンドープシリコン酸化膜上にフッ化珪酸ガラス膜を形成する工程とを備
えることを特徴とする薄膜形成方法。

【請求項6】 前記フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形
成する工程をさらに備えることを特徴とする請求項5記載の薄膜形成方法。

【請求項7】 前記ノンドープシリコン酸化膜および前記フッ化珪酸ガラス
膜は、フッ素ドーパントの混入の有無を切り替えながら連続して形成することを
特徴とする請求項5または6記載の薄膜形成方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置および薄膜形成方法に関し、特に、配線層間の絶縁膜とし
てフッ化珪酸ガラスを用いる場合に適用して好適なものである。

【0002】

【従来の技術】

従来の半導体装置では、配線層間に用いられる層間絶縁膜の低誘電率化を図る

ため、フッ化珪酸ガラスを用いたものがあった。

図9は、従来の半導体装置における配線層の概略構成を示す断面図である。

図9において、絶縁層21上には下層配線層22が形成され、下層配線層22は、例えば、TiN膜22a、Al-Cu膜22b、Ti膜22cおよびTiN膜22dからなる積層構造を有している。

【0003】

ここで、Al-Cu層22bの下に設けられるTiN層22aは、バリア膜として機能するもので、積層配線がSiと接触した際の接合突き抜けや、Si析出によるコンタクト抵抗の増大を抑制するためのものである。

また、Al-Cu層22bの上に設けられるTi膜22cおよびTiN膜22dは、コンタクト抵抗を低減したり、反射防止膜として用いたり、エレクトロマイグレーションを防止したりするためのものである。

【0004】

また、下層配線層22上には、フッ化珪酸ガラス膜（以下、FG膜と称す。）23が形成され、FG膜23上には、シリコン酸化膜24が形成され、シリコン酸化膜25内には、下層配線層22と接続するタングステンプラグ25が埋め込まれている。

そして、シリコン酸化膜24上には、例えば、TiN膜26a、Al-Cu膜26b、Ti膜26cおよびTiN膜26dの4層構造からなる上層配線層26が形成され、上層配線層26はタングステンプラグ25を介して下層配線層22と接続されている。

【0005】

図10、11は、従来の半導体装置における配線層の製造方法を示す断面図である。

図10（a）において、例えば、TiN/Al-Cu/Ti/TiNを絶縁膜21上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiNからなる積層膜をパターニングすることにより、絶縁膜21上に下層配線層22を形成する。

【0006】

次に、図10（b）に示すように、高密度プラズマCVDなどの方法により、下層配線層22上にFSG膜23を形成し、窒素雰囲気中でFSG膜23のアニールを行うことにより、FSG膜23中の不安定なフッ素成分を除去する。

次に、図10（c）に示すように、例えば、TEOS（テトラエトキシシラン）ガスを用いたプラズマCVDを行うことにより、FSG膜23上にシリコン酸化膜24を形成する。

【0007】

次に、図11（a）に示すように、例えば、CMP（化学的機械的研磨）を用いて、シリコン酸化膜24の表面を研磨することにより、シリコン酸化膜24の表面を平坦化する。

次に、図11（b）に示すように、フォトリソグラフィー技術およびエッチング技術を用いて、下層配線層22上のFSG膜23およびシリコン酸化膜24にピアホールを形成し、下層配線層22上にタンゲステンを選択的に成長させることにより、下層配線層22上にタンゲステンプラグ25を形成する。

【0008】

次に、図11（c）に示すように、例えば、TiN/A1-Cu/Ti/TiNをシリコン酸化膜24上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/A1-Cu/Ti/TiNからなる積層膜をパターニングすることにより、上層配線層26をシリコン酸化膜24上に形成する。

【0009】

【発明が解決しようとする課題】

しかしながら、下層配線層22上にFSG膜23を形成すると、FSG膜23に含まれるフッ素が脱ガスし、このフッ素が下層配線層22に作用して、下層配線層22を腐食させる。

また、FSG膜23は、下層配線層22同士間での埋め込み特性を満足させるため、高密度プラズマCVDにより形成され、シリコン酸化膜24は、パーティクルの発生を抑制するため、通常のプラズマCVDにより形成される。

【0010】

このため、FSG膜23上にシリコン酸化膜24を形成する場合、装置を交換する必要があり、この時、FSG膜23が大気中に晒されることがある。

そして、FSG膜23が大気中に晒されると、FSG膜23の吸湿により、FSG膜23内にフッ化水素が生成される。

そして、FSG膜23内にフッ化水素が生成された状態で、FSG膜23に熱処理が行われると、脱ガスにより、フッ素がTiと反応し、下層配線層22にTiFなどのフッ化物が生成される。

【0011】

このため、従来の半導体装置では、下層配線層22をFSG膜23で覆うと、下層配線層22の抵抗が上昇し、半導体装置の特性劣化を引き起こすという問題があった。

そこで、本発明の目的は、FSG膜で覆われた配線層のフッ素ダメージを抑制することが可能な半導体装置および薄膜形成方法を提供することである。

【0012】

【課題を解決するための手段】

上述した課題を解決するために、請求項1記載の半導体装置によれば、配線層上に形成されたフッ素隔離膜と、前記フッ素隔離膜を介して形成されたフッ化珪酸ガラス膜とを備えることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素が配線層に直接接触することを防止することが可能となり、層間絶縁膜としてフッ化珪酸ガラス膜を用いた場合においても、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することができる。

【0013】

このため、半導体装置の製造歩留まりを向上させることができるとともに、半導体装置の信頼性を向上させることができとなる。

また、請求項2記載の半導体装置によれば、配線層の絶縁を行うフッ化珪酸ガラス膜と、前記フッ化珪酸ガラス膜を上下から挟み込むように形成されたフッ素隔離膜とを備えることを特徴とする。

【0014】

これにより、フッ化珪酸ガラス膜に含まれるフッ素をフッ化珪酸ガラス膜内に閉じ込めて、フッ化珪酸ガラス膜に含まれるフッ素がフッ化珪酸ガラス膜から脱離することを抑制することが可能となるとともに、フッ化珪酸ガラス膜の吸湿を低減することが可能となる。

このため、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することが可能となるとともに、配線層の配線抵抗の上昇を抑制することが可能となり、半導体装置の特性劣化を抑制しつつ、半導体装置の信頼性を向上させることが可能となる。

【0015】

また、請求項3記載の半導体装置によれば、前記フッ素隔離膜は、ノンドープシリコン酸化膜であることを特徴とする。

これにより、フッ素ドーパントの混入の有無を切り替えることで、フッ素隔離膜とフッ化珪酸ガラス膜とを積層することが可能となり、in-situ処理により、フッ素隔離膜を効率よく形成することが可能となる。

【0016】

また、請求項4記載の半導体装置によれば、前記配線層は、TiN/Al-Cu/Ti/TiN構造であることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素がTiと反応して、配線層にTiFなどのフッ化物が生成されることを防止することが可能となり、配線間隔が狭く、アスペクト比の高い配線層を効率よく形成することが可能となる。

【0017】

また、請求項5記載の薄膜形成方法によれば、配線層上にノンドープシリコン酸化膜を形成する工程と、前記ノンドープシリコン酸化膜上にフッ化珪酸ガラス膜を形成する工程とを備えることを特徴とする。

これにより、フッ化珪酸ガラス膜に含まれるフッ素が配線層に直接接触することを防止することが可能となり、層間絶縁膜としてフッ化珪酸ガラス膜を用いた場合においても、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用することを低減させて、配線層の腐食を防止することが可能となる。

【0018】

また、請求項6記載の薄膜形成方法によれば、前記フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形成する工程をさらに備えることを特徴とする。

これにより、フッ化珪酸ガラス膜をノンドープシリコン酸化膜で上下から挟み込むことができ、フッ素の脱ガスを抑制することが可能となるとともに、フッ化珪酸ガラス膜の吸湿を低減することが可能となることから、半導体装置の特性劣化を抑制しつつ、半導体装置の信頼性を向上させることが可能となる。

【0019】

また、請求項7記載の薄膜形成方法によれば、前記ノンドープシリコン酸化膜および前記フッ化珪酸ガラス膜は、フッ素ドーパントの混入の有無を切り替えながら連続して形成することを特徴とする。

これにより、in-situ処理により、ノンドープシリコン酸化膜とフッ化珪酸ガラス膜とを積層することが可能となり、フッ化珪酸ガラス膜上にノンドープシリコン酸化膜を形成するために、装置を交換する必要がなくなる。

【0020】

このため、フッ化珪酸ガラス膜が大気に晒されることを防止することが可能となり、フッ化珪酸ガラス膜の吸湿を抑制して、フッ素の脱ガスを低減することが可能となる。

【0021】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置および薄膜形成方法について、図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【0022】

図1において、絶縁層1上には下層配線層2が形成され、下層配線層2は、例えば、TiN膜2a、Al-Cu膜2b、Ti膜2cおよびTiN膜2dからなる積層構造を有している。

ここで、TiN膜2aの厚みは、例えば、300～400Å程度、Al-Cu膜2bの厚みは、例えば、3000～10000Å程度、Ti膜2cの厚みは、

例えば、200Å程度、TiN膜2dの厚みは、例えば、600～1000Å程度に設定することができる。

【0023】

また、下層配線層2上には、ライナ膜3およびキャップ膜5で上下が挟み込まれたFSG膜4が形成されている。

ここで、ライナ膜3およびキャップ膜5は、FSG膜4に含まれるフッ素を隔離するためのもので、例えば、ノンドープシリコン酸化膜を用いることができる。

【0024】

さらに、キャップ膜5上にはシリコン酸化膜6が形成され、シリコン酸化膜6内には、下層配線層2と接続するタングステンプラグ7が埋め込まれている。

そして、シリコン酸化膜6上には、例えば、TiN膜8a、Al-Cu膜8b、Ti膜8cおよびTiN膜8dの4層構造からなる上層配線層8が形成され、上層配線層8はタングステンプラグ7を介して下層配線層2と接続されている。

【0025】

ここで、ライナ膜3およびキャップ膜5でFSG膜4を挟み込むことにより、FSG膜4に含まれるフッ素が脱ガスすることを防止することが可能となるとともに、FSG膜4が吸湿することを抑制することができ、下層配線層2をFSG膜4で覆った場合においても、下層配線層2のTiがフッ化されることを抑制して、下層配線層2にTiFが形成されることを抑制することができる。

【0026】

例えば、FSG膜4単独では、T_{DS}分析結果によると、150℃程度の熱処理で脱ガスするのに対し、ライナ膜3およびキャップ膜5でFSG膜4を挟み込むことにより、脱ガス温度を250℃程度に上昇させることができた。

また、FSG膜4の誘電率としては、3.2～3.8程度の値を得ることができ、誘電率が4.0～4.2程度の酸化ケイ素膜を用いた場合に比べて、誘電率を低くすることが可能となる。

【0027】

このため、下層配線層2上の層間絶縁膜の低誘電率化を図りつつ、下層配線層

2の配線抵抗の上昇を抑制することができ、配線遅延を抑制して、半導体装置の特性を向上させることが可能となる。

なお、ライナ膜3の厚みT1は、例えば、500～700Å程度が好ましく、これにより、下層配線層2上に形成されるライナ膜3のギャップフィル特性およびカバレッジを維持することが可能となるとともに、下層配線層2上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、FSG膜4に含まれるフッ素を有効に隔離することができる。

【0028】

また、キャップ膜3の厚みT2は、例えば、1000Å程度が好ましく、これにより、下層配線層2上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、FSG膜4の防湿効果を維持することができる。

また、下層配線層2としては、TiN膜2a、Al-Cu膜2b、Ti膜2cおよびTiN膜2dからなる積層構造以外にも、TiN/Al/Ti/TiN構造、TiN/Al-Cu/TiN構造などでもよい。

【0029】

図2～4は、本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

図2(a)において、例えば、TiN/Al-Cu/Ti/TiNを絶縁膜1上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiNからなる積層膜をパターニングすることにより、絶縁膜1上に下層配線層2を形成する。

【0030】

次に、図2(b)に示すように、高密度プラズマCVDなどの方法により、下層配線層2を覆うようにして、ノンドープシリコン酸化膜などのライナ膜3を形成する。

次に、図2(c)に示すように、高密度プラズマCVDなどの方法により、ライナ膜3上にFSG膜4を形成し、窒素雰囲気中でFSG膜4のアニールを行うことにより、FSG膜4中の不安定なフッ素成分を除去する。

【0031】

次に、図2 (d) に示すように、アニール後のFSG膜4を大気に晒さないようにして、例えば、高密度プラズマCVDなどを行うことにより、ノンドープシリコン酸化膜などのキャップ膜5をFSG膜4上に形成する。

ここで、ライナ膜3、FSG膜4およびキャップ膜5を形成する方法としては、例えば、in-situ処理により、同一チャンバ内でフッ素ドーパントの混入の有無を切り替えながらシリコン酸化膜を連続して形成することができる。

【0032】

これにより、FSG膜4を大気に晒さないようにして、ライナ膜3およびキャップ膜5でFSG膜4を挟み込むことが可能となり、FSG膜4の防湿状態を良好に維持しつつ、FSG膜4に含まれるフッ素を隔離することができる。

次に、図3 (a) に示すように、例えば、TEOS (テトラエトキシシラン)ガスを用いたプラズマCVDを行うことにより、キャップ膜5上にシリコン酸化膜6を形成する。

【0033】

ここで、FSG膜4はキャップ膜5で覆われているので、キャップ膜5上にシリコン酸化膜6を形成するために、装置を交換する場合においても、FSG膜4が大気に晒されることを防止することができ、FSG膜4の吸湿を抑制することができる。

次に、図3 (b) に示すように、例えば、CMP (化学的機械的研磨) を用いて、シリコン酸化膜6の表面を研磨することにより、シリコン酸化膜6の表面を平坦化する。

【0034】

ここで、TEOSプラズマCVDを用いてシリコン酸化膜6を形成することにより、高密度プラズマCVDを用いてシリコン酸化膜6を形成した場合に比べて、シリコン酸化膜6のパーティクルを低減することが可能となり、シリコン酸化膜6表面の平坦化を精度よく行うことができる。

次に、図3 (c) に示すように、フォトリソグラフィー技術およびエッティング技術を用いて、下層配線層2上のライナ膜3、FSG膜4、キャップ膜5およびシリコン酸化膜6にビアホールを形成し、下層配線層2上にタングステンを選択

的に成長させることにより、下層配線層2上にタングステンプラグ7を形成する。

【0035】

次に、図4に示すように、例えば、TiN/A1-Cu/Ti/TiNをシリコン酸化膜6上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/A1-Cu/Ti/TiNからなる積層膜をパターニングすることにより、上層配線層8をシリコン酸化膜7上に形成する。

図5は、本発明の第2実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【0036】

図5において、絶縁層11上には下層配線層2が形成され、下層配線層12は、例えば、TiN膜12a、A1-Cu膜12b、Ti膜12cおよびTiN膜12dからなる積層構造を有している。

ここで、TiN膜12aの厚みは、例えば、300～400Å程度、A1-Cu膜12bの厚みは、例えば、3000～10000Å程度、Ti膜12cの厚みは、例えば、200Å程度、TiN膜12dの厚みは、例えば、600～1000Å程度に設定することができる。

【0037】

また、下層配線層12上には、ライナ膜13を介してFSG膜14が形成されている。

ここで、ライナ膜13は、FSG膜14に含まれるフッ素を隔離するためのもので、例えば、ノンドープシリコン酸化膜を用いることができる。

さらに、FSG膜14上にはシリコン酸化膜15が形成され、シリコン酸化膜15内には、下層配線層12と接続するタングステンプラグ16が埋め込まれている。

【0038】

そして、シリコン酸化膜15上には、例えば、TiN膜17a、A1-Cu膜17b、Ti膜17cおよびTiN膜17dの4層構造からなる上層配線層17が形成され、上層配線層17はタングステンプラグ16を介して下層配線層12

と接続されている。

ここで、ライナ膜13を介してFSG膜14を形成することにより、FSG膜14に含まれるフッ素が下層配線層12に直接接触することを防止する事が可能となり、下層配線層12をFSG膜14で覆った場合においても、下層配線層12のTiがフッ化されることを抑制して、下層配線層12にTiFが形成されることを抑制することができる。

【0039】

また、FSG膜14の誘電率としては、3.2～3.8程度の値を得ることができ、誘電率が4.0～4.2程度の酸化ケイ素膜を用いた場合に比べて、誘電率を低くすることが可能となる。

このため、下層配線層12上の層間絶縁膜の低誘電率化を図りつつ、下層配線層12の配線抵抗の上昇を抑制することができ、配線遅延を抑制して、半導体装置の特性を向上させることができるとなる。

【0040】

なお、ライナ膜13の厚みT3は、例えば、500～700Å程度が好ましく、これにより、下層配線層12上に形成されるライナ膜13のギャップフィル特性およびカバレッジを維持する事が可能となるとともに、下層配線層12上に形成された層間絶縁膜の誘電率の上昇を抑えつつ、FSG膜14に含まれるフッ素が下層配線層12に作用することを抑制することができる。

【0041】

また、下層配線層12としては、TiN膜12a、Al-Cu膜12b、Ti膜12cおよびTiN膜12dからなる積層構造以外にも、TiN/Al/Ti/TiN構造、TiN/Al-Cu/TiN構造などでもよい。

図6～8は、本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【0042】

図6(a)において、例えば、TiN/Al-Cu/Ti/TiNを層間絶縁膜11上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/Al-Cu/Ti/TiNからなる積層膜をパターニングする

ことにより、絶縁膜11上に下層配線層12を形成する。

次に、図6（b）に示すように、高密度プラズマCVDなどの方法により、下層配線層12を覆うようにして、ノンドープシリコン酸化膜などのライナ膜13を形成する。

【0043】

次に、図6（c）に示すように、高密度プラズマCVDなどの方法により、ライナ膜13上にFSG膜14を形成し、窒素雰囲気中でFSG膜14のアニールを行うことにより、FSG膜14中の不安定なフッ素成分を除去する。

ここで、ライナ膜13およびFSG膜14を形成する方法としては、例えば、in-situ処理により、同一チャンバ内でフッ素ドーパントの混入の有無を切り替えながらシリコン酸化膜を連続して形成することができる。

【0044】

次に、図7（a）に示すように、例えば、TEOS（テトラエトキシシラン）ガスを用いたプラズマCVDを行うことにより、FSG膜14上にシリコン酸化膜15を形成する。

次に、図7（b）に示すように、例えば、CMP（化学的機械的研磨）を用いて、シリコン酸化膜15の表面を研磨することにより、シリコン酸化膜15の表面を平坦化する。

【0045】

ここで、TEOSプラズマCVDを用いてシリコン酸化膜15を形成することにより、高密度プラズマCVDを用いてシリコン酸化膜15を形成した場合に比べて、シリコン酸化膜15のパーティクルを低減することが可能となり、シリコン酸化膜15表面の平坦化を精度よく行うことができる。

次に、図7（c）に示すように、フォトリソグラフィー技術およびエッティング技術を用いて、下層配線層12上のライナ膜13、FSG膜14およびシリコン酸化膜15にビアホールを形成し、下層配線層12上にタングステンを選択的に成長させることにより、下層配線層12上にタングステンプラグ16を形成する。

【0046】

次に、図8に示すように、例えば、TiN/A1-Cu/Ti/TiNをシリコン酸化膜15上に順次スパッタし、フォトリソグラフィー技術およびエッチング技術を用いて、TiN/A1-Cu/Ti/TiNからなる積層膜をパターニングすることにより、上層配線層17をシリコン酸化膜15上に形成する。

なお、上述した実施形態では、配線層を半導体装置に形成する場合について説明したが、本発明に係る配線形成方法は半導体装置に限定されることなく、半導体装置以外にも、例えば、液晶表示装置、有機EL素子、ビルドアップ多層配線板などに適用するようにしてもよい。

【0047】

【発明の効果】

以上説明したように、本発明によれば、フッ化珪酸ガラス膜に含まれるフッ素がフッ化珪酸ガラス膜から脱離することを抑制することが可能となり、フッ化珪酸ガラス膜で覆われた配線層にフッ素が作用して、配線層を腐食させることを防止することが可能となるとともに、配線層の配線抵抗の上昇を抑制することが可能となる。

【図面の簡単な説明】

【図1】 本発明の第1実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【図2】 本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図3】 本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図4】 本発明の第1実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図5】 本発明の第2実施形態に係る半導体装置における配線層の概略構成を示す断面図である。

【図6】 本発明の第2実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図7】 本発明の第2実施形態に係る半導体装置における配線層の製造方

法を示す断面図である。

【図8】 本発明の第2実施形態に係る半導体装置における配線層の製造方法を示す断面図である。

【図9】 従来の半導体装置における配線層の概略構成を示す断面図である。

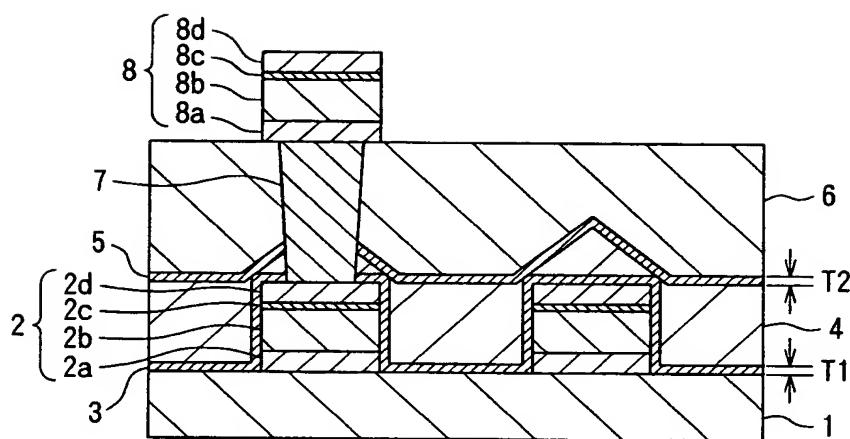
【図10】 従来の半導体装置における配線層の製造方法を示す断面図である。

【図11】 従来の半導体装置における配線層の製造方法を示す断面図である。

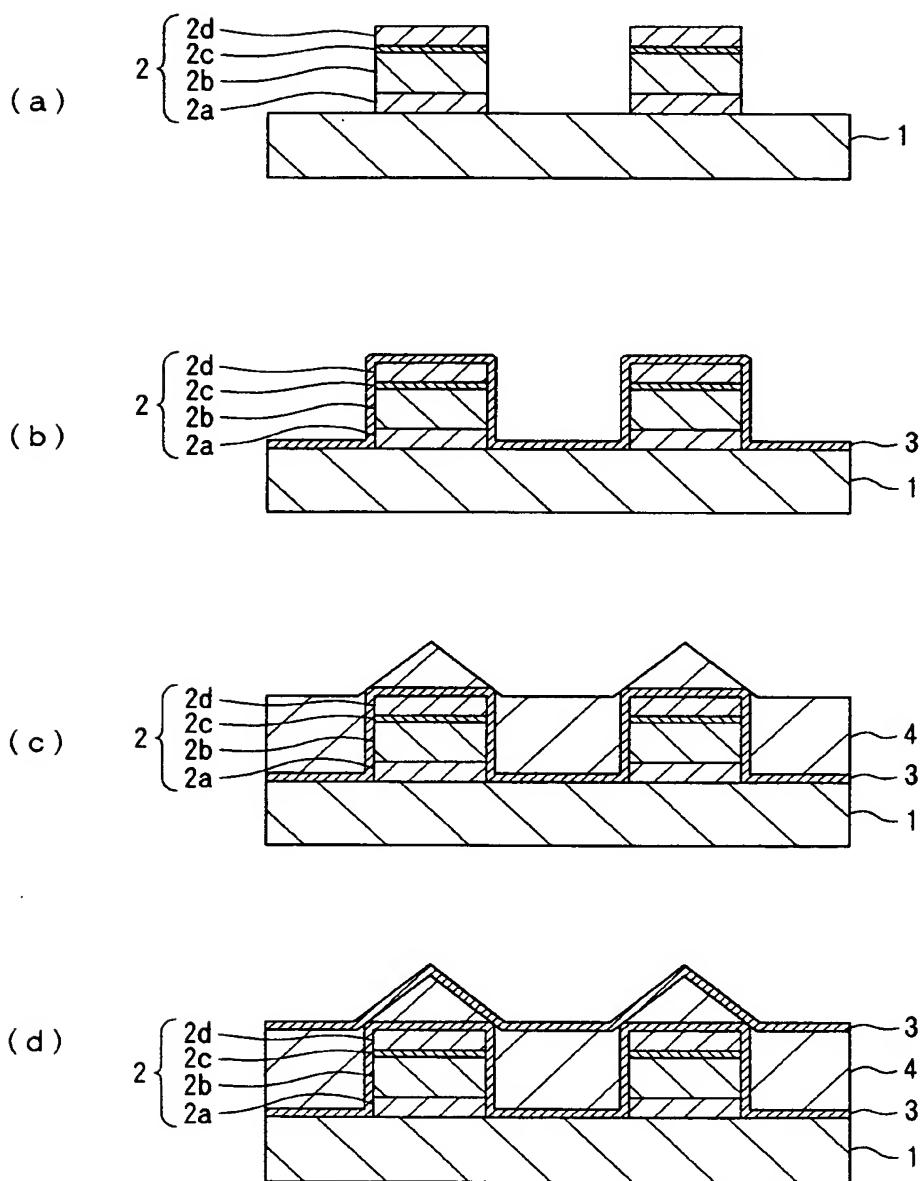
【符号の説明】

1、11 絶縁層、2、12 下層配線層、2a、2d、8a、8d、12a
、12d、17a、17d TiN膜、2b、8d、12b、17d Al-C
u膜、2c、8c、12c、17c Ti膜、3、13 ライナ膜、4、14
FSG膜、5 キャップ膜、6、15 シリコン酸化膜、7、16 タングステ
ンプラグ、8、17 上層配線層

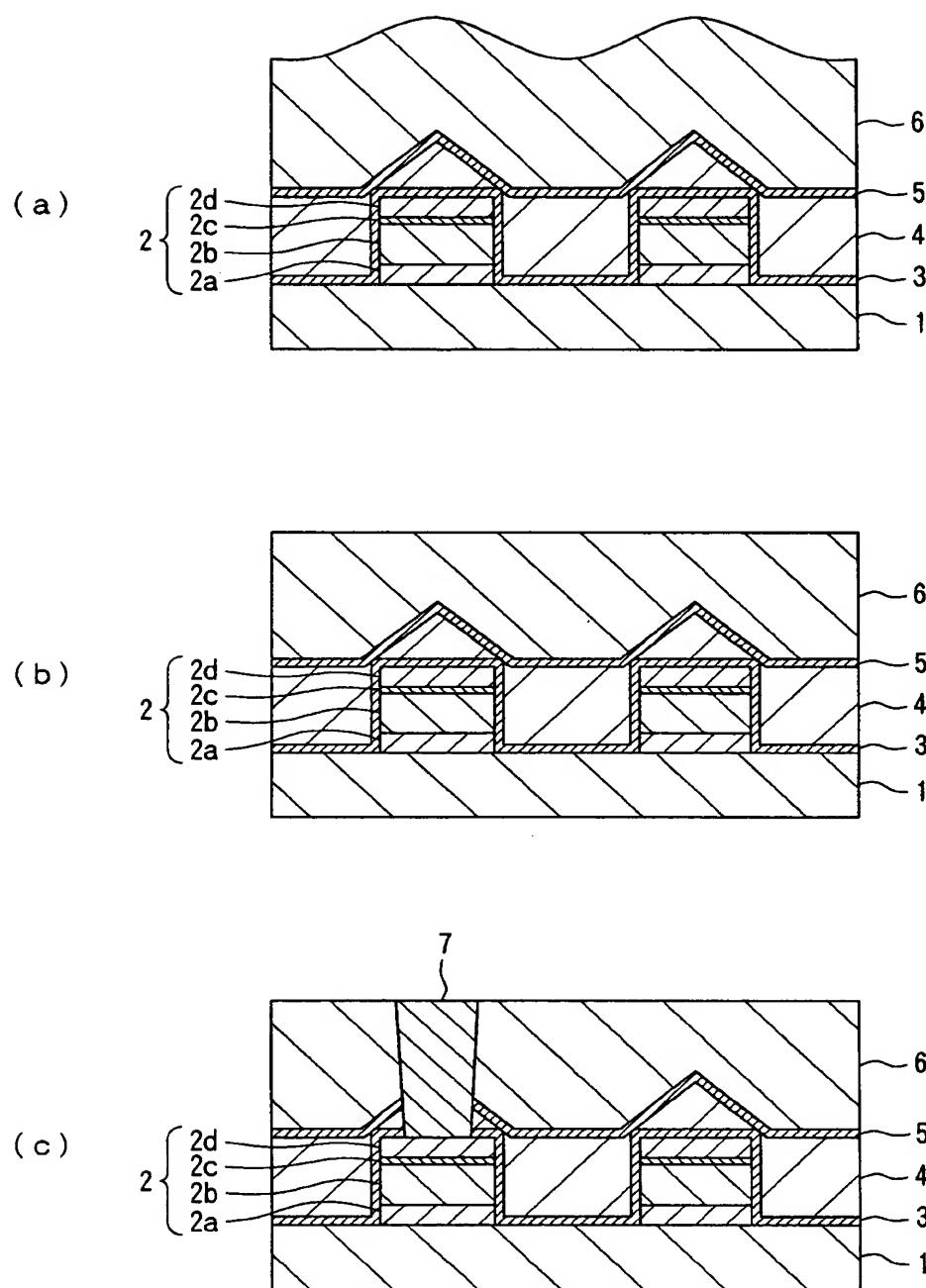
【書類名】 図面
【図1】



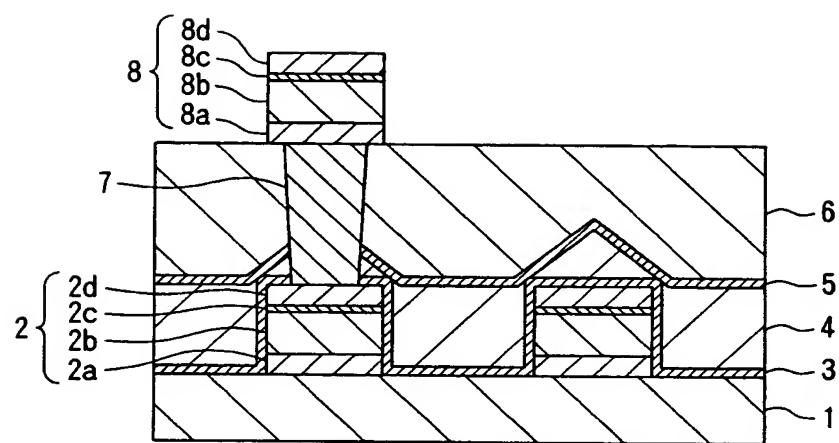
【図2】



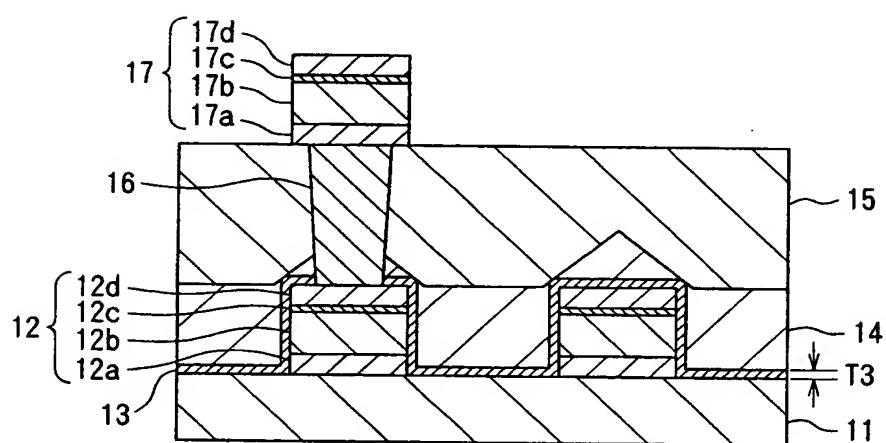
【図3】



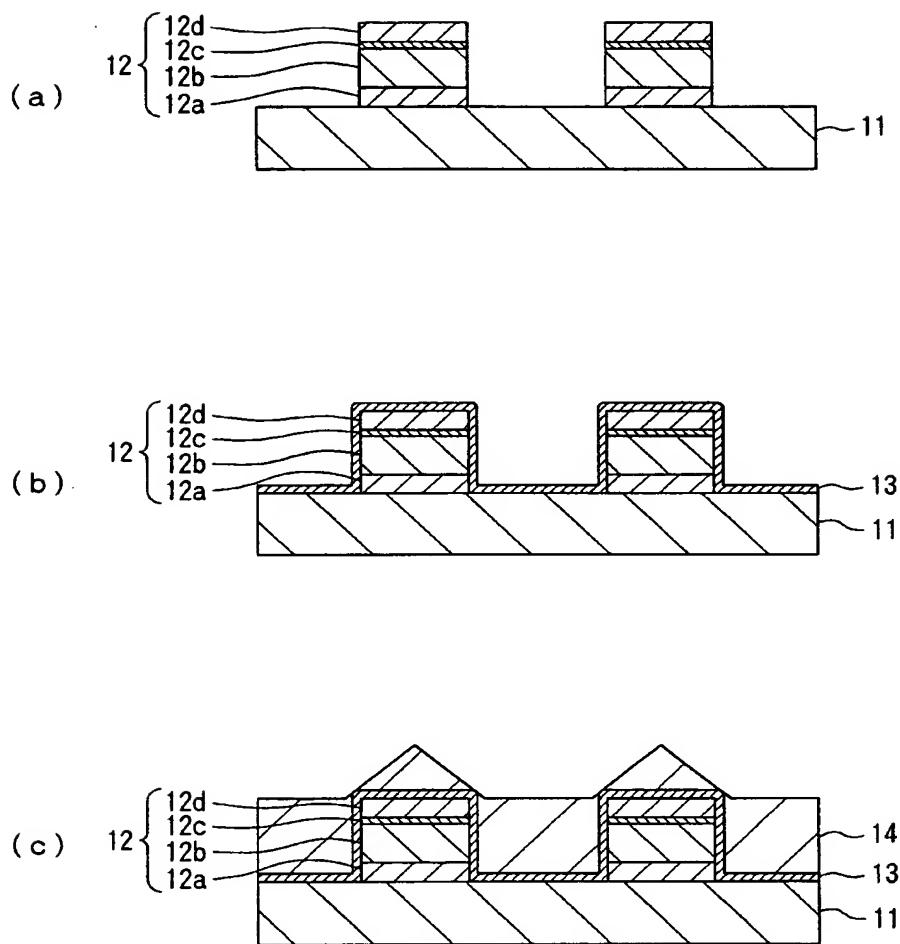
【図4】



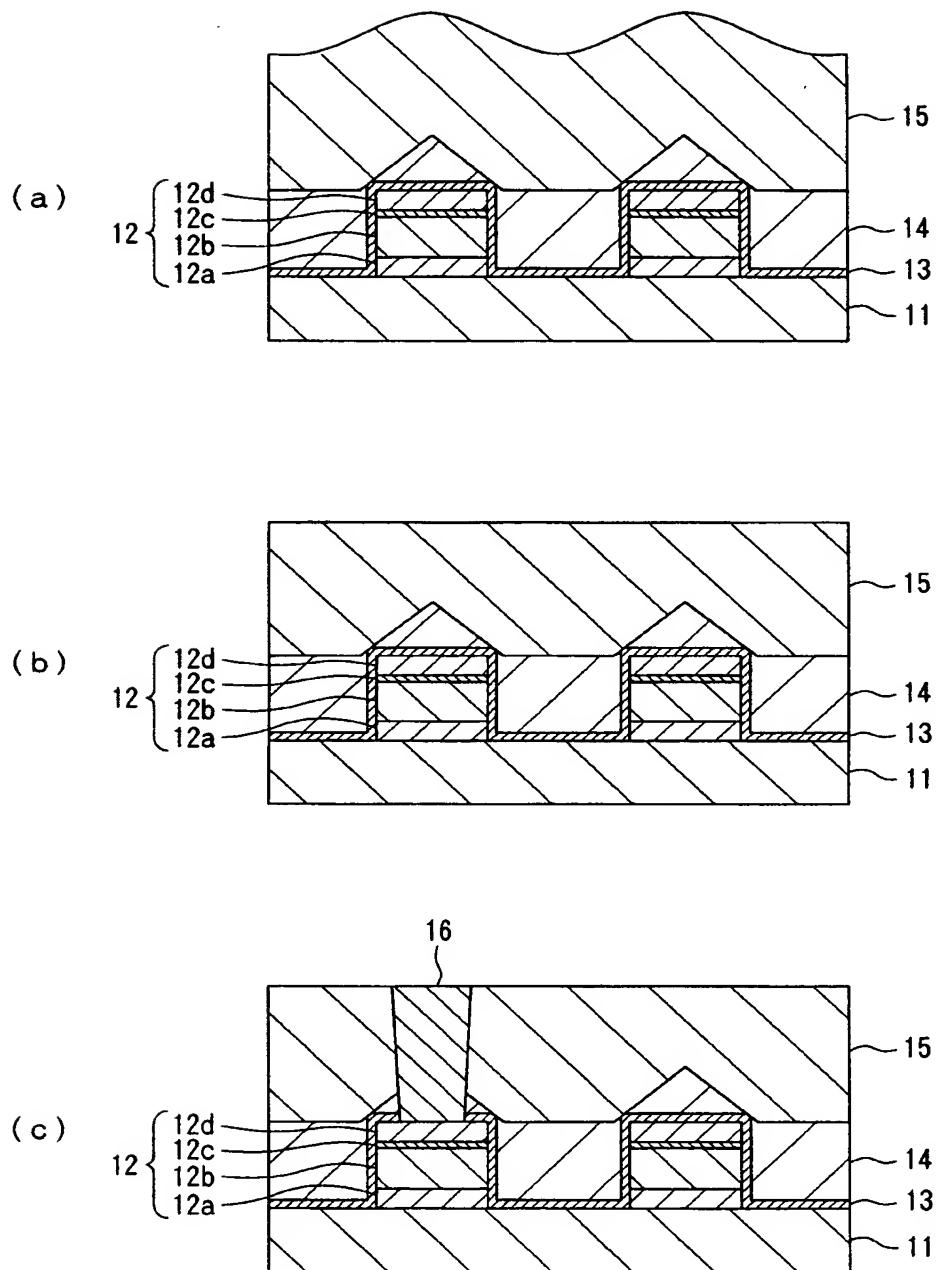
【図5】



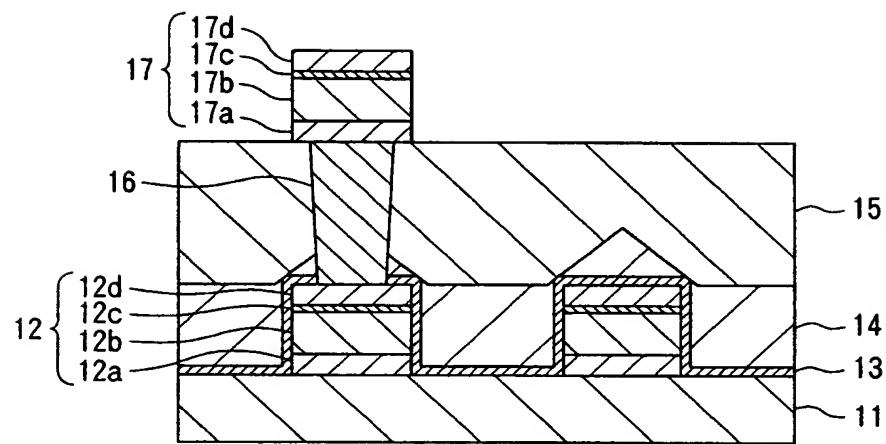
【図6】



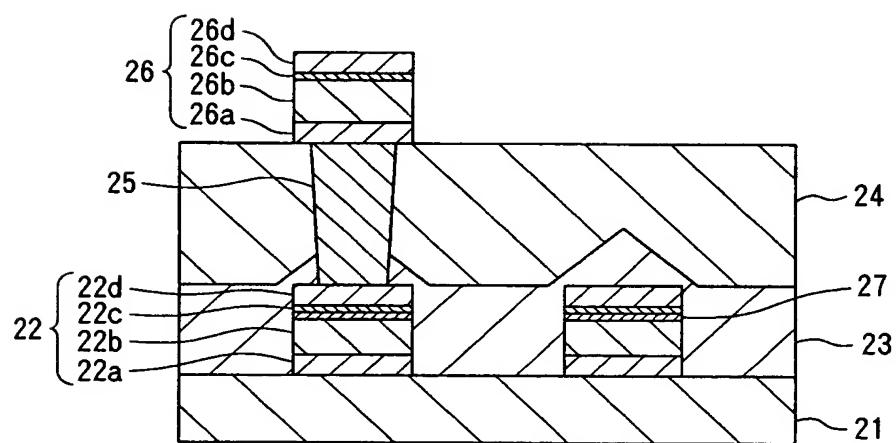
【図7】



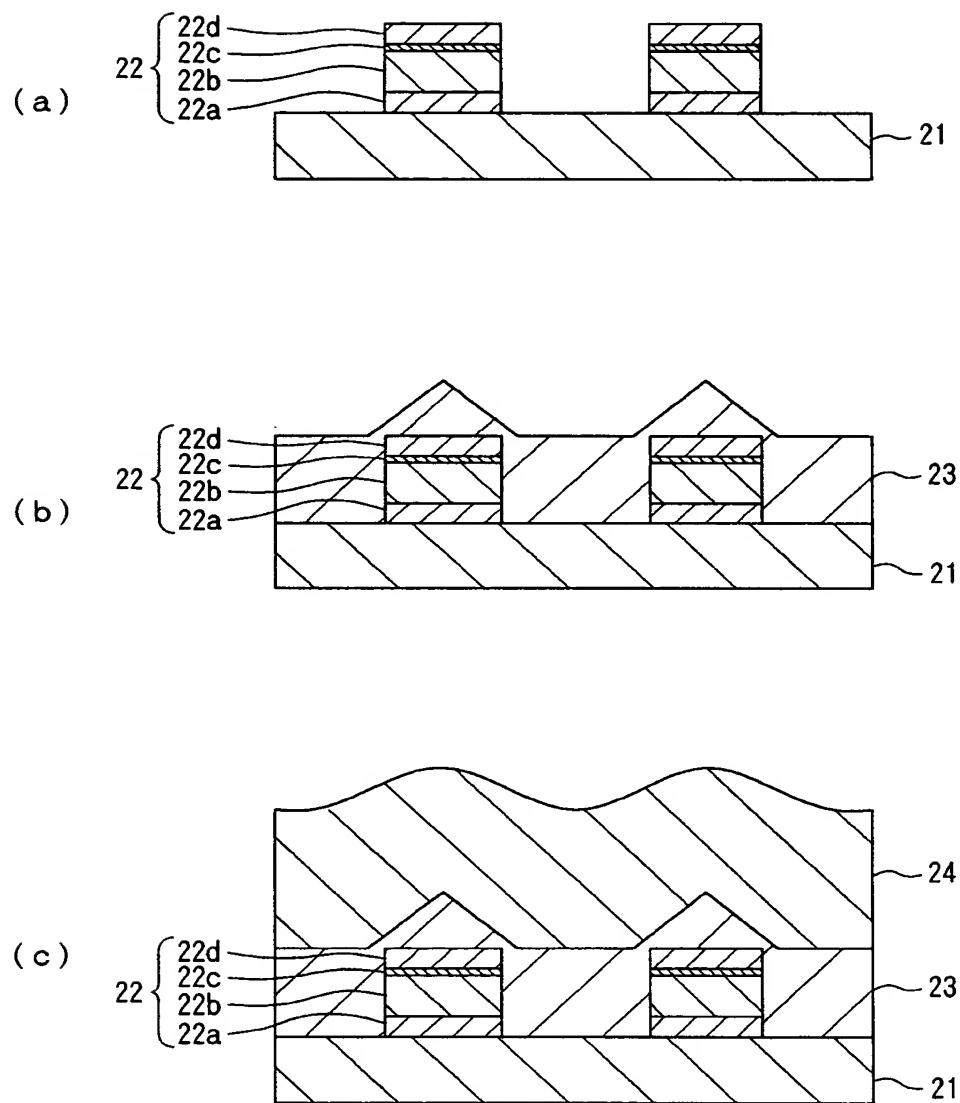
【図8】



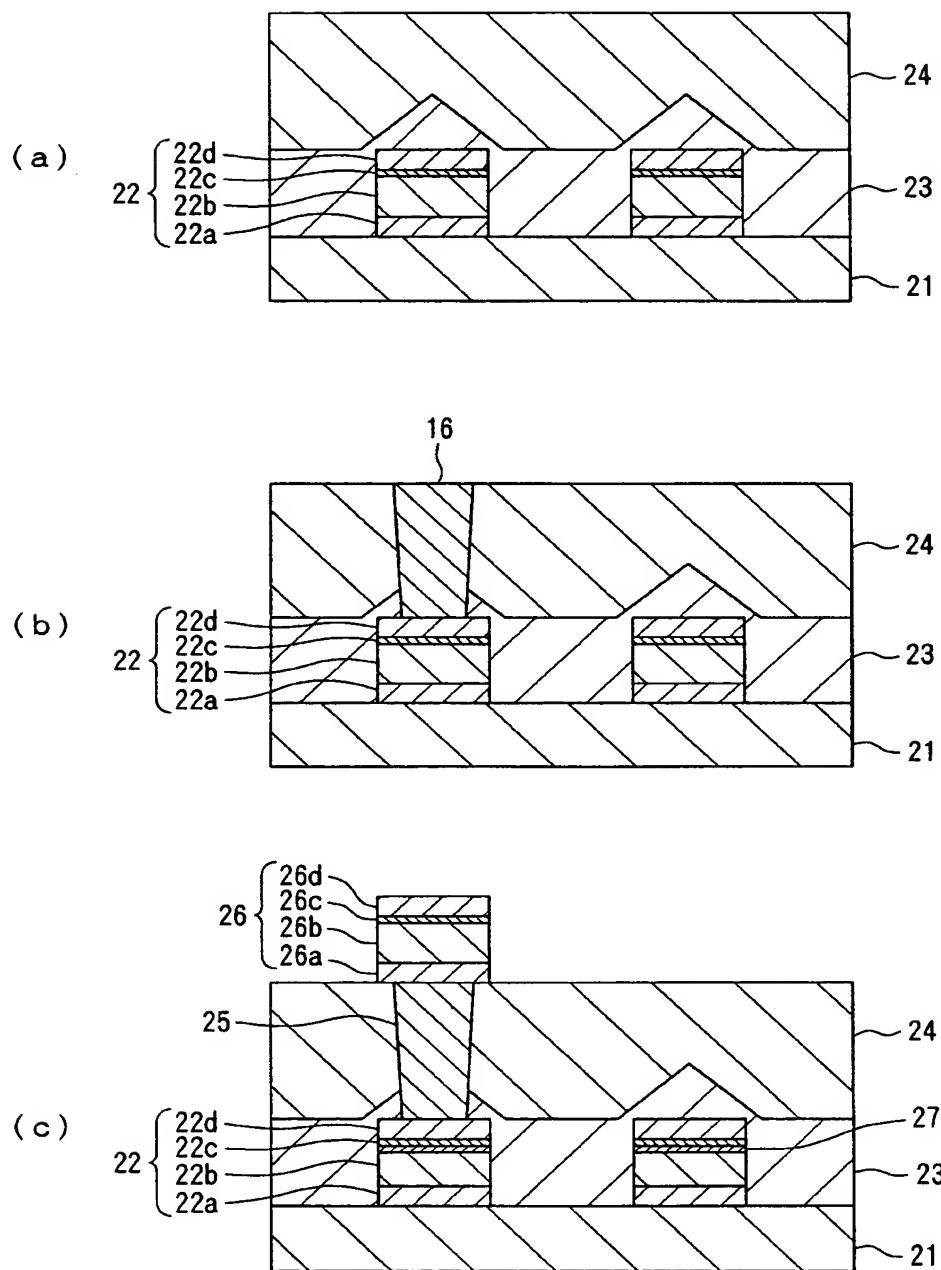
【図9】



【図10】



【図11】



【書類名】 要約書

【要約】

【課題】 FSG膜で覆われた配線層のフッ素ダメージを抑制する。

【解決手段】 ライナ膜3およびキャップ膜5で下層配線層2上のFSG膜4を挟み込むことにより、FSG膜4に含まれるフッ素を隔離して、フッ素が下層配線層2をアタックすることを防止する。

【選択図】 図1

認定・付加情報

特許出願の番号	特願2002-238496
受付番号	50201223552
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 8月20日

＜認定情報・付加情報＞

【提出日】 平成14年 8月19日

次頁無

出願人履歴情報

識別番号 [000002369]

1. 変更年月日 1990年 8月20日

[変更理由] 新規登録

住 所 東京都新宿区西新宿2丁目4番1号

氏 名 セイコーエプソン株式会社